

02783724 \*\*Image available\*\*  
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 01-081324 [JP 1081324 A]

PUBLISHED: March 27, 1989 (19890327)

INVENTOR(s): IMAI KEITAROU

YAMABE KIKUO

SHIOZAWA JUNICHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-237326 [JP 87237326]

FILED: September 24, 1987 (19870924)

INTL CLASS: [4] H01L-021/316; H01L-027/04; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 786, Vol. 13, No. 304, Pg. 75, July 12, 1989 (19890712)

#### ABSTRACT

PURPOSE: To reduce leak currents and to improve memory keeping characteristic by forming a polycrystalline silicon layer, thermally oxidizing it in an oxide atmosphere containing fluorine or compounds thereof, removing such thermally oxidized film by etching, and then forming a desired insulating film on the polycrystalline silicon layer.

CONSTITUTION: The surface of a polysilicon film 8 formed on an oxide film is characterized by irregularities 20 due to an infinity of crystal grains, in the interior of which crystal grains 21 are present. When oxidizing the polysilicon film 8 in oxygen containing NF<sub>3</sub>, large quantities of fluorine atoms 23, being entrapped by an oxide film formed on the polysilicon film 8, plasticity of the oxide film 22 increases while stresses are relieved. By this reaction, the surface of the n<sup>(sup +)</sup>-type polysilicon film 8 is smoothly oxidized. At the same time, fluorine atoms 23 are infiltrating into the n<sup>(sup +)</sup>-type polysilicon film 8 and combined with non-combined Si atoms which are present at the boundary of the crystal grains 21. As a result, doner type impurities in the n<sup>(sup +)</sup>-type polysilicon film 8 are no longer precipitated at the boundary of the crystal grains. According to the constitution, the characteristic of a capacitor oxide film to be later formed can be improved. By removing the oxide film 22 by etching afterwards, an excellent film can be obtained.

DIALOG(R)File 352:DERWENT WPI  
(c)1999 Derwent Info Ltd. All rts. reserv.

007870048

WPI Acc No: 89-135160/198918

Mfg. semiconductor device - by forming polysilicon film on substrate, thermally forming oxide film, and then insulation film. NoAbstract Dwg 0/2

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 1081324	A	19890327	JP 87237326	A	19870924		198918 B

Priority Applications (No Type Date): JP 87237326 A 19870924

Patent Details:

Patent	Kind	Lat	Pg	Filing Notes	Application	Patent
--------	------	-----	----	--------------	-------------	--------

JP 1081324	A	24
------------	---	----

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; FORMING; POLY; SILICON; FILM; SUBSTRATE; THERMAL; FORMING; OXIDE; FILM; INSULATE; FILM; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/31; H01L-027/04; H01L-029/78

File Segment: CPI; EPI

## ⑪公開特許公報 (A) 昭64-81324

⑫Int.Cl.

H 01 L 21/316  
27/04  
29/78

識別記号

371

序内整理番号

6708-5F  
C-7514-5F  
7514-5F

⑬公開 昭和64年(1989)3月27日

## ⑭発明の名称 半導体装置の製造方法

⑮特 願 昭62-237326

⑯出 願 昭62(1987)9月24日

⑰発明者 今井 穎太郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑰発明者 山部 紀久夫 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑰発明者 塩沢 順一 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑰出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑰代理人 弁理士 则近 遼佑 外1名

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

① 基板に多結晶シリコン膜を形成する工程と、該多結晶シリコン膜上に絶縁膜を形成するに当り、一旦非晶珪いはその化合物を含む酸化雰囲気中で該多結晶シリコン膜上に熱酸化膜を形成する工程と、を含む半導体装置の製造方法。

② 前記熱酸化膜の形成における酸化雰囲気中の非晶珪いはその化合物の濃度は1ppm以上であることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

③ 前記熱酸化膜の形成における酸化温度は600°C以上1000°C以下であることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

④ 前記多結晶シリコン膜上の熱酸化膜を絶縁膜として残すことを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

⑤ 前記熱酸化膜をエッチング除去した後、前

記熱酸化膜の除去された多結晶シリコン膜上に絶縁膜を形成することを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

## 【発明の目的】

## 【産業上の利用分野】

本発明は多結晶シリコン膜上の絶縁膜を改良した半導体装置の製造方法に関する。

## 【従来の技術】

従来より半導体装置の1つで、フローティングゲートを有する EEPROMによって、電気的に書き込み可能な読み出し専用メモリとして EEPROM (Electrical Programmable Read Only Memory) がある。この装置では、通常フローティングゲートとしては多結晶シリコン膜が用いられる。しかしながら、多結晶シリコン上に形成される熱酸化膜は单結晶シリコン基板上に形成される熱酸化膜に比べて、電界印加時にリーク電流が著しく増大する欠点がある。このため記憶保持特性が著しく低下する問題があった。

前記EPROMの他に、キャパシタとトランジスタを組み合せて情報の記憶動作を行うDRAM (Dynamic Random Access read write Memory) がある。このDRAMにおいては、限られた面積で十分なメモリ容量を得るためにセル領域全体に電荷蓄積部分を積み上げる認知のスタックトキャパシタセルが現在、検討されている。通常のセルではシリコン基板に電荷が蓄積されていたが、スタックトキャパシタセルでは積み上げられた多結晶シリコン層に電荷が蓄積される。したがって、キャパシタ絶縁膜を多結晶シリコン膜上に形成した場合、上述と同様の問題が生じることになる。

〔発明が解決しようとする問題〕

以上述べたように多結晶シリコン膜上に絶縁膜を用いるEPROMやスタックトキャパシタセルを有するDRAMにおいてはリーク電流が増大するため記憶保持特性が著しく低下する問題が生じる。本発明は上述した欠点を解消する半導体装置を提供することを目的とする。

〔発明の構成〕

とができる。沸湯或いはその化合物を含む雰囲気中で熱酸化を行うと、低い温度でも酸化速度が大きく、酸化膜中には高濃度の沸湯がとり込まれるため、酸化膜の可塑性が増し、Si-SiO<sub>2</sub>界面はなめらかに酸化される。通常の熱酸化の場合には十分に高温の場合にのみ粘性低減が低下するが、高温においては酸化時に結晶粒の成長による形態変化を作りたためSi-SiO<sub>2</sub>界面はかならずしもなめらかな形態にはならない。

第2に、多結晶シリコン膜中には電気抵抗を下げる目的で高濃度の銅或いは銻などがドーピングされるが、多結晶シリコンの結晶粒境界には未結合状態のシリコンが多く存在するためこれらドーパントが前記境界部に析出しやすい。したがって、多結晶シリコン膜と絶縁膜界面において結晶粒境界にこれらドーパントが析出した場合、電気の特性の劣化を招くことになると同時に多結晶シリコン膜の電気抵抗が上がることになる。しかしながら、本発明方法により、沸湯或いはその化合物を含む雰囲気中で熱酸化を行った場合、沸湯が多結

（問題を解決するための手段）

上述した目的を達成するために、本発明では多結晶シリコン膜を形成後、一旦沸湯又はその化合物を含む熱酸化雰囲気中で熱酸化を行った後その熱酸化膜をエッティング除去し、しかる後に所望の絶縁膜を多結晶シリコン膜上に形成することを特徴としている。

〔作用〕

多結晶シリコン膜は粒径10nm～1000nm程度の結晶粒によって構成されるため、表面には結晶粒に起因する幾つかの凹凸が無数に存在する。したがってこのような多結晶シリコン膜上に絶縁膜を形成した場合、前述したデバイスの動作時に電界集中が凹凸表面で生じリーク電流が増大することになり、更には永久絶縁破壊を生じる原因にもなる。本発明によれば、第1に沸湯或いはその化合物を含む熱酸化雰囲気中で多結晶シリコン膜表面を一且個性的に酸化することによってなめらかな表面を得ることができ、したがって、リークの少ない高品質な絶縁膜を多結晶シリコン表面に形成すること

がシリコンの結晶粒境界の未結合シリコンと結合するため、上記の問題は著しく低減される。

〔実施例〕

以下、本発明による一実施例を図面を参照して詳細に説明する。第1図はその実施例として熱酸化膜をキャパシタ絶縁膜として利用したスタックトキャパシタセルを有するDRAMの製造工程を示す断面図である。

まず、第1図(a)に示すように比抵抗10Ω・cmを有し、表面が(100)面であるp型のシリコン基板①上に、素子区分線を行うための例えは熱酸化膜を選択的に形成し、その後ゲート酸化膜となる薄い熱酸化膜③を形成し続いてゲート電極となる第1のn<sup>+</sup>型polysiliconを形成した後、通常の写真露出工程を経てパターニングを行う、その後、前記ゲートに対して自己整合的にイオン注入法によりp<sup>+</sup>型層④を形成する。

次に第1図(b)に示すように厚いCVD酸化膜⑤を全面に形成した後、通常の写真露出工程を経て前記p<sup>+</sup>型層④の一部と接続する側面部⑥を形成す

る。

次に第1図(a)に示すように全面に第2のn<sup>+</sup>型polysi膜の形成した後、800℃で50ppmのNF<sub>3</sub>を含んだ残存中30分で一旦、酸性脱化膜の形成する。

しかる後に、第1図(d)に示すように脱化膜のエッティング除去し、通常の平たい加工工程を経て、n<sup>+</sup>型polysi膜の所望のパターンにパターンニングし、その後、キャパシタ膜化膜となる熱脱化膜(10)を形成する。

最後に、第1図(e)に示すようにキャパシタ膜となる第3のn<sup>+</sup>型polysi膜(11)を全面に形成後、通常の平たい加工工程を経てパターンニングすることによって図に示す如くメモリセルを完成する。

ここで、酸性脱化の様子を第2図(a)～(e)を用いてより詳細に説明する。

第2図は第1図のpolysi膜の部分の詳細な形状を示す断面図である。まず、脱化膜の上に形成したpolysi膜の表面は、第2図(a)に示すように無数の結晶粒により凹凸(20)が存在し内部には結晶

限定されるものではなく、本発明はpolysi膜の凹凸、あるいはpolysi膜上に形成する結晶粒との界面への前記polysi中に含まれるドーパントの析出が生じる半導体装置の製造方法に適用できる。

#### 【発明の効果】

本発明により、多結晶シリコン膜表面の凹凸が低減され、前記多結晶シリコン膜上に形成される結晶粒との界面にドーパントが析出せず、このような工程を経て形成されるデバイスの電気的特性を向上せしめることができる。

#### 4. 図面の簡単な説明

第1図は本発明による一実施例を示す製造工程断面図、第2図は本発明による実施例の効果を説明するための断面図である。

- 1…シリコン基板。
- 2…電子分離用脱化膜。
- 3…ゲート脱化膜。
- 4…第1のn<sup>+</sup>型多結晶シリコン膜。
- 5…n<sup>-</sup>型層。
- 6…CVD脱化膜。

粒(21)が存在している。次に、このpolysi膜を800℃、50ppm NF<sub>3</sub>を含む残存中で脱化すると、多量の非晶原子(23)がpolysi膜の上に形成される脱化膜中にとり込まれるため、前記脱化膜(22)の可塑性が増し応力の緩和がなされる。このためn<sup>+</sup>型polysi膜の表面はなめらかに脱化される。又、それと同時に、n<sup>+</sup>型polysi膜中に非晶原子(23)が入り込み結晶粒(21)の境界に存在する未結合Si原子と結合する。これによってn<sup>+</sup>型polysi膜中のドナー型不純物が結晶粒境界に析出することなくなり、この後形成されるキャパシタ脱化膜の特性を向上させることができる。その後、前記脱化膜(22)をエッティング除去すると第2図(c)に示すような良好な膜を得ることができる。

なお、上記実施例では酸性脱化は800℃、50ppm NF<sub>3</sub>/O<sub>2</sub>雰囲気で30分としたが、その条件はこの実施例に限定されるものではなく、膜厚等に応じて適宜変更することができる。また、上記実施例は専ら、熱脱化膜をキャパシタ脱化膜に用いるスタッフキャパシタセルについて述べたが、これに

7…開口部。

8…第2のn<sup>+</sup>型多結晶シリコン膜。

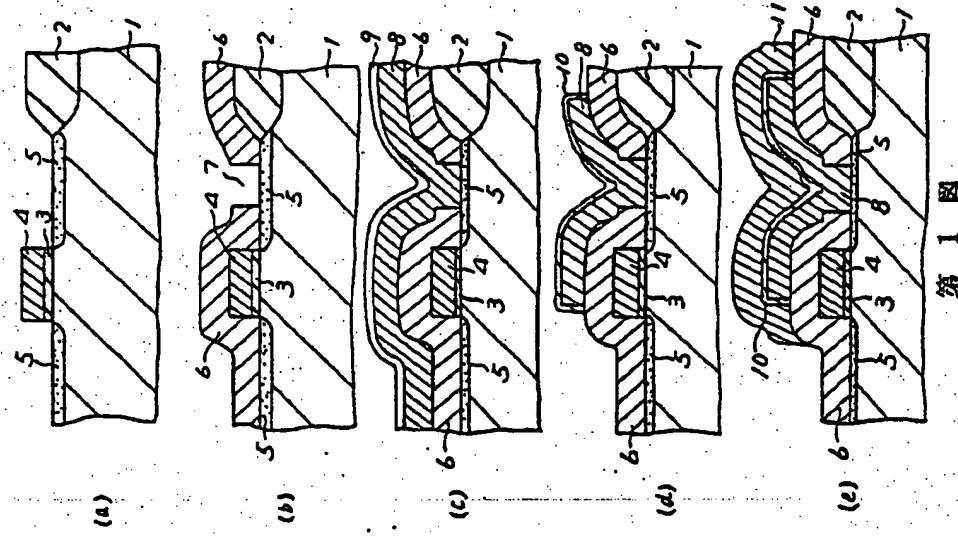
9…酸性脱化膜。

10…キャパシタ脱化膜。

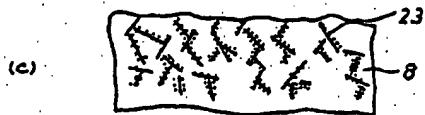
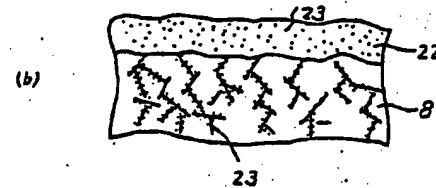
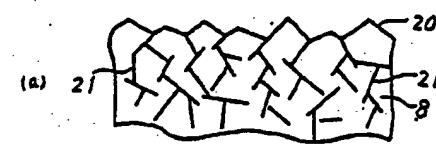
11…第3のn<sup>+</sup>型多結晶シリコン膜。

23…非晶原子。

代理人 兵庫士 田辺 信佑  
岡 桂山 光之



第1図



第2図